

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-191683

(43)Date of publication of application : 09.07.1992

(51)Int.Cl.

G01R 31/28  
H01L 21/66  
H01L 27/04  
H03K 19/0175  
H03K 19/20

(21)Application number : 02-324267

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.11.1990

(72)Inventor : NOTANI HIROMI

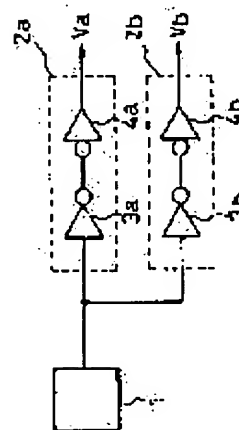
KONDO HARUFUSA

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PURPOSE:** To set many test modes by a smaller number of pins by permitting medium level potential other than high and low level potentials as input voltage and connecting a number of input buffers less than the number of the levels of input voltage by 1 to the same pin.

**CONSTITUTION:** The logical threshold voltages  $V_{tha}$ ,  $V_{thb}$  of respective initial stage inverters 3a, 3b are set to respectively different levels between the high and low levels of input voltage corresponding to '1', '0' of binary logic so as to form  $V_{tha} > V_{thb}$ . Further, high, medium and low level voltages  $V_H$ ,  $V_M$ ,  $V_L$  inputted to respective mode setting pins are set so as to become  $V_{tha} > V_M > V_{thb}$ ,  $V_M > V_{tha}$ , and  $V_L > V_{thb}$ . When the input voltage is L, the outputs  $V_a$ ,  $V_b$  of input buffers 2a, 2b together become 0 and, when the input voltage is H, both of the voltages  $V_a$ ,  $V_b$  become 1. When the input voltage is M, the output  $V_a$  of the input buffer 2a becomes 0 and the output  $V_b$  of the input buffer becomes 1. By this method, three modes can be set by one pin and  $3^n$  modes can be set by (n) pins.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A) 平4-191683

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月9日

G 01 R 31/28

H 01 L 21/68

27/04

H 03 K 19/0175

19/20

1 0 1

Z  
T

7013-4M

7514-4M

7827-5J

6912-2G

8941-5J

G 01 R 31/28

H 03 K 19/00

W

1 0 1 R

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平2-324267

⑰ 出 願 平2(1990)11月26日

⑱ 発 明 者 野 谷 宏 美 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 近 藤 晴 房 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大 岩 増 雄 外2名

## 明 細 書

## 1. 発明の名称

半導体集積回路

## 2. 特許請求の範囲

テストモード設定用に複数のピンを備えた半導体集積回路において、同一のピンに対し、複数の入力バッファを並列に接続し、かつそれらの入力バッファを構成する初段のインバータの論理しきい値を、2値論理の「1」、「0」に対応した入力電圧の高・低レベル間でそれぞれ異なるレベルに設定したことを特徴とする半導体集積回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体集積回路に関し、特にテストモード設定用に複数のピンを備えた半導体集積回路に関する。

〔従来の技術〕

第2図に従来用いられている半導体集積回路の入力バッファを示す。1はパッドで、テストモード設定用のピン(図示せず)と1対1に接続され

る。2は入力バッファで、2段のインバータ3、4によつて構成されている。

テストモード設定用のピンに入力される電圧は、各モードごとに高レベル(H)か低レベル(L)のいずれかに固定される。インバータ3のしきい値は、これら入力電圧の「H」と「L」との中間のある値に設定しており、下の第1表に示すように、パッド1を介して与えられる入力電圧が「L」(MOSFETで構築した論理回路であれば接地(GND)電位)であれば入力バッファ2の出力Vは2値論理の「0」、入力電圧が「H」(MOS論理回路であれば電源電圧V<sub>DD</sub>)であれば「1」となる。

第1表

入力電圧	V
L	0
H	1

〔発明が解決しようとする課題〕

このように従来半導体集積回路では1本のピ

ンで設定できるモード数は $2^n$ であり、 $n$ 本のピンでは $2^n$ のモードが設定できる。

ところが、微細化が進んで集積度も上がり、回路が大規模で複雑になるにつれてテストモード数も増加し、その設定のためにより多くのピンを必要とするようになってきた。

この発明の目的は、より少ないピン数で多くのテストモードの設定を可能にすることにある。

#### 〔課題を解決するための手段〕

この発明は、同一のテストモード設定用ピンに対し、複数の入力バッファを並列に接続し、かつそれらの入力バッファを構成する初段のインバータの論理しきい値を、2値論理の「1」、「0」に対応した入力電圧の高・低レベル間でそれぞれ異なる値に設定するようにしたものである。

#### 〔作用〕

入力電圧として本来の高・低レベルの他に中間の電位をも許すものとし、そのような入力電圧のレベル数より1つ少ない数の入力バッファを同一のピンに対して接続するものとする。

(3)

定してある。

次に動作について説明する。モード設定用の各ピンに入力される電圧は、各モードごとに高レベル(H)、中レベル(M)、低レベル(L)のいずれかに固定される。ここで中レベルの電位 $V_M$ はインバータ3aの論理しきい値より低く、インバータ3bの論理しきい値より高い( $V_{tha} > V_M > V_{thb}$ )。また高レベルの電位 $V_H$ はインバータ3aの論理しきい値より高く、低レベルの電位 $V_L$ はインバータ3bの論理しきい値より低い( $V_H > V_{tha}$ ,  $V_L < V_{thb}$ )。

したがって、第2表に示すように、入力電圧が「L」(MOS論理回路ではGND電位)のときは入力バッファ2a, 2bの出力 $V_a, V_b$ はともに「0」となり、入力電圧が「H」(MOS論理回路では電源電圧 $V_{DD}$ )のときはともに「1」となる。入力電圧が「M」(MOS論理回路では例えば $V_{DD}/2$ )であれば、インバータ3aのしきい値を超えないため入力バッファ2aの出力 $V_a$ は「0」であるが、インバータ3bのしきい値は超えるた

(5)

入力電圧が本来の「L」であれば、すべての入力バッファを構成する初段インバータの論理しきい値に達しないため、入力バッファの出力はすべて「0」となる。入力電圧が高くなるにつれ、論理しきい値の低い初段インバータをもつ入力バッファから順に1つずつ「1」に変わり、「H」のときにはすべて「1」となる。

このようにして、入力電圧に $m$ 個の電位が許されており、 $m-1$ 個の入力バッファを備えていれば、1本のピンで設定できるモード数は $m$ となり、 $n$ 本のピンでは $m^n$ のモードが設定できることになる。

#### 〔実施例〕

第2図はこの発明の一実施例を示す回路図である。テストモード設定用のピンと1対1に接続されるパッド1に対し、2個の入力バッファ2a, 2bが接続されている。各入力バッファ2a, 2bはそれぞれインバータ3a, 4aおよび3b, 4bからなる。各初段インバータ3a, 3bの論理しきい値 $V_{tha}, V_{thb}$ は $V_{tha} > V_{thb}$ となるように設

(4)

め入力バッファ2bの出力 $V_b$ は「1」となる。

第2表

入力電圧	$V_a$	$V_b$
L	0	0
M	0	1
H	1	1

このように1本のピンで3つのモードが設定でき、 $n$ 本のピンで $3^n$ のモードが設定できる。

#### 〔発明の効果〕

以上のようにこの発明によれば、同一のピンに対し複数( $m-1$ 個、 $m$ は3以上)の入力バッファを並列に接続し、かつそれらの入力バッファを構成する初段のインバータの論理しきい値を、2値論理の「1」、「0」に対応した入力電圧の高・低レベル間でそれぞれ異なる値に設定したことにより、入力電圧にも高・低レベルに中間のレベルを加えた $m$ レベルの電位を許すことで、1ピン当たり $m$ モード、 $n$ 本のピンでは $m^n$ のモード設定が

(6)

可能になる効果がある。したがって1ピン当り2、  
 ■本のピンで2<sup>匹</sup>のモード設定を行なう従来例に  
 比較して、より少ないピン数で同じ数のテストモ  
 ードが、また同じピン数ならより多くの数のテスト  
 モードが設定できる。

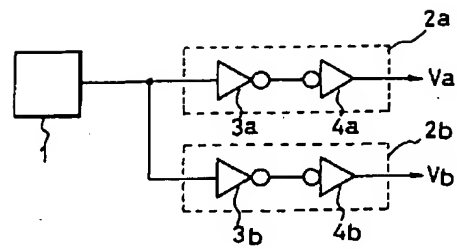
#### 4. 図面の簡単な説明

第1図はこの発明の一実施例を示す回路図、第  
 2図は従来例を示す回路図である。

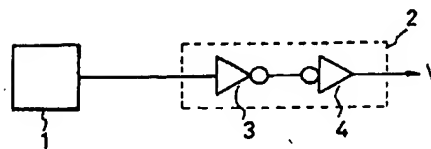
1・・・ピンに接続されるパッド、2a、2b  
 .....入力バッファ、3a、3b、4a、4b.....  
 ・インバータ。

代理人 大 岩 増 雄

第 1 図



第 2 図



( 7 )